# 日本国特許庁 JAPAN PATENT OFFICE

09.12.2004

別紙添付の曹類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年12月 3日

出 願 番 号 Application Number:

特願2003-404895

[ST. 10/C]:

[JP2003-404895]

出 願 人
Applicant(s):

シャープ株式会社

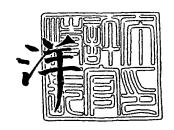
# CERTIFIED COPY OF PRIORITY DOCUMENT



•

2005年 1月20日

) 11



特許願 【書類名】 03J03499 【整理番号】 平成15年12月 3日 【提出日】 特許庁長官 殿 【あて先】 H01L 29/786 【国際特許分類】 C23C 16/00 G09F 9/35 【発明者】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 【住所又は居所】 津幡 俊英 【氏名】 【発明者】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 【住所又は居所】 杉原 利典 【氏名】 【特許出願人】 000005049 【識別番号】 シャープ株式会社 【氏名又は名称】 【代理人】 100077931 【識別番号】 【弁理士】 前田 弘 【氏名又は名称】 【選任した代理人】 100094134 【識別番号】 【弁理士】 小山 廣毅 【氏名又は名称】 【選任した代理人】 100113262 【識別番号】 【弁理士】 竹内 祐二 【氏名又は名称】 【手数料の表示】 014409 【予納台帳番号】 21,000円 【納付金額】 【提出物件の目録】

特許請求の範囲 1

明細書 1

要約書 1

0208453

図面 1

【物件名】

【物件名】

【物件名】

【物件名】

【包括委任状番号】

# 【書類名】特許請求の範囲

# 【請求項1】

相対向するように配置されたソース電極およびドレイン電極と、前記ソース電極と前記 ドレイン電極との間に配置された少なくとも1層の半導体膜と、前記半導体膜に近接する ように配置されたゲート電極と、前記ソース電極,前記ドレイン電極および前記半導体層 と前記ゲート電極との間に配置されたゲート絶縁膜とを備えたトランジスタであって、 前記ゲート絶縁膜中に含まれる含有フッ素濃度が、 $1 \times 10^{20}$  a t oms/cm $^3$  以下 であることを特徴とするトランジスタ。

# 【請求項2】

請求項1に記載のトランジスタにおいて、

前記含有フッ素濃度が、 $1 \times 10^{19}$  a toms/cm $^3$  以下であることを特徴とするト ランジスタ。

# 【請求項3】

請求項1に記載のトランジスタにおいて、

電界効果型であることを特徴とするトランジスタ。

# 【請求項4】

請求項1に記載のトランジスタにおいて、

前記ゲート絶縁膜は、アモルファスシリコン窒化膜であることを特徴とするトランジス 夕。

# 【請求項5】

請求項1に記載のトランジスタにおいて、

前記ゲート絶縁膜は、CVD法により成膜されていることを特徴とするトランジスタ。

# 【請求項6】

請求項1,2,3,4,5のうちの何れか1項に記載のトランジスタのゲート絶縁膜の 成膜に用いられるCVD装置であって、

ガス供給孔を有し、成膜室内に配置された電極を備え、

前記電極の表面が、非多孔質層からなることを特徴とするCVD装置。

# 【請求項7】

請求項6に記載のCVD装置を用いて成膜されたゲート絶縁膜を備えていることを特徴 とするトランジスタ。

## 【請求項8】

請求項7に記載のトランジスタを、画素電極部に対するスイッチング素子として備えて いることを特徴とする液晶表示装置。

# 【書類名】明細書

【発明の名称】トランジスタおよびそのゲート絶縁膜の成膜に用いるCVD装置 【技術分野】

# [0001]

本発明は、トランジスタのゲート絶縁膜の改良に関し、特にプラズマCVD装置を用い て成膜されるゲート絶縁膜の含有フッ素濃度を低減する対策に関する。

# 【背景技術】

# [0002]

一般に、電界効果型トランジスタは、少なくとも、ゲート電極と、ゲート絶縁膜と、半 導体膜と、ソース電極と、ドレイン電極とから構成されるが、ゲート絶縁膜として、CV D法により形成されるアモルファスシリコン窒化膜を備えた電界効果型薄膜トランジスタ は、優れたオン電流特性/オフ電流特性を有することから、近年では、液晶表示装置など のスイッチング素子としても使用されている。

# [0003]

ところで、上記のアモルファスシリコン窒化膜は、例えばプラズマCVD装置を用いて 成膜されるが、メンテナンス性向上による稼働率向上を実現すべく、或る成膜サイクルご とにNF3 、CF4 、SF6 などのガスを用いて成膜室内部をクリーニングすることが行 われる。そのクリーニングの際に、各ガスの成分であるフッ素が成膜室内に残留し、成膜 される膜中に取り込まれることから、トランジスタ特性を著しく低下させるという欠点が ある。

# [0004]

これに対し、特許文献1に記載されているように、半導体膜と接する絶縁基板保護膜中 のフッ素濃度を低減すべく、CVD法以外の方法で形成するようにしたものも提案されて いるが、ゲート絶縁膜をプラズマCVD法により形成する場合にそのゲート絶縁膜の含有 フッ素濃度を低減するようにした従来の技術としては、特許文献2に記載されているよう に、成膜室内のクリーニング後に、水素プラズマを発生することで、残留フッ素を除去す るようにすることが知られている。また、含有フッ素濃度を、1. 0×10<sup>19</sup> a t o m s / c  $m^3$  以下に抑えることで、10分間に亘って動作させたときの閾値電圧のシフト量の 増大を抑えて信頼性を改善できるとされている。

【特許文献1】特開2003-124469号公報(第2頁,図1)

【特許文献2】特開2002-329869号公報(第2頁,図1)

# 【発明の開示】

# 【発明が解決しようとする課題】

# [0005]

しかしながら、上記特許文献2のものでは、10分間という短期駆動時の評価であるこ とから、液晶表示装置の画素電極に対するスイッチング素子としてのトランジスタのよう に、長時間に亘って連続的に駆動される場合においても優れた信頼性を示すことができる か否かは不明である。

# [0006]

また、水素プラズマ処理により成膜室内の残留フッ素を低減するという方法では、その 処理条件によっては、十分な効果が得られない場合があり、したがって、成膜室内の良好 な特性を安定して維持することが難しいという問題がある。

# [0007]

本発明は、斯かる諸点に鑑みてなされたものであり、その主な目的は、CVD装置を用 いてゲート電極が成膜されるトランジスタを、液晶表示装置の画素電極に対するスイッチ ング素子として使用するに際し、ゲート電極中のフッ素濃度の上限値を適正化するととも に、フッ素濃度の低減を容易に実現できるようにすることにある。

# 【課題を解決するための手段】

## [0008]

上記の目的を達成すべく、本発明では、トランジスタのゲート絶縁膜中の含有フッ素濃

度を、1×10<sup>20</sup>atoms/cm³以下、さらに望ましくは、1×10<sup>19</sup>atoms/ c m³ 以下にするものである。

# [0009]

また、上記のように含有フッ素濃度の低減を実現する具体的な手段としては、CVD装 置の成膜室において、電極表面を非多孔質層とするものである。

# [0010]

これにより、半導体層と接するゲート絶縁膜界面でのフッ素によるキャリアトラップが 減少し、このことで、トランジスタのオン電流特性が改善するとともに、ゲート絶縁膜中 のフッ素イオンが減少し、このことで、トランジスタの閾値特性が改善される。

# [0011]

また、例えば陽極酸化保護膜処理により電極表面に形成される多孔質層にフッ素が残留 するという根本原因を除くことができるので、水素プラズマ放電などの残留フッ素除去条 件のばらつきによるフッ素除去不足に起因するトランジスタ不良による歩留まりの低下と いう問題も発生しない。

# 【発明の効果】

# [0012]

本発明によれば、ゲート絶縁膜中の含有フッ素濃度を、1×10<sup>20</sup> a t o m s / c m<sup>3</sup> 以下、さらに望ましくは $1 imes 1 \ 0^{19} \ a \ t \ o \ m \ s \ / \ c \ m^3$  以下にすることで、液晶表示装置 などのように長時間に亘って連続的に駆動されるトランジスタの場合でも、優れた初期特 性を得ることができるのみならず、信頼性を改善することができる。また、CVD装置を 用いてゲート絶縁膜を成膜する際に、成膜室の電極表面を非多孔質化することにより、ク リーニングガス中のフッ素成分の成膜室内への残留自体を抑えることができるので、フッ 素除去不足にした特性不良による歩留まりの低下を抑えることができる。

# 【発明を実施するための最良の形態】

# [0013]

以下に、本発明の実施形態を、図面に基づいて説明する。尚、本発明は以下の実施形態 に限定されるものではない。

# [0014]

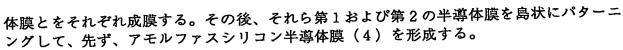
図1は、本実施形態に係る電界効果型薄膜トランジスタの断面を模式的に示しており、 このトランジスタは、例えば、液晶表示装置の画素電極部に対するスイッチング素子とし て使用される。

# [0015]

上記のトランジスタは、例えばガラスなどからなる絶縁基板(1)を備えており、この 基板 (1) 上には、Ta, Al, Moなどからなるゲート電極 (2) が形成されている。 このゲート電極(2)上には、例えばアモルファスシリコン窒化膜からなるゲート絶縁膜 (3) が基板(1)の略全面に亘って例えば4000Åの膜厚に形成されている。ゲート 絶縁膜 (3) 上には、ゲート電極 (2) に対応する部分を中心にして、半導体膜としての アモルファスシリコン半導体膜 (4) が例えば2000Åの膜厚に形成されており、この アモルファスシリコン半導体膜(4)上には、各々、リンをドープしてなるもう1つの半 導体膜としての2つのn+アモルファスシリコン半導体膜(5)がゲート電極(2)を間 に挟んで対をなすようにそれぞれ500Aの膜厚に形成されている。そして、各n+アモ ルファスシリコン半導体膜(5)およびそれに連なるゲート絶縁膜(3)の部分の上には 、それぞれ、Ti,Mo,Alなどからなるソース電極(6)およびドレイン電極(7) が形成されている。

# [0016]

次に、上記のように構成されたトランジスタの製造工程について説明すると、先ず、基 板(1)上に、ゲート電極(2)を成膜・パターニング形成する。次いで、平行平板方式 のプラズマCVD装置を用い、その成膜室を、NF3 ガスによりクリーニングした後、ゲ ート絶縁膜(3)を成膜する。その後、アモルファスシリコン半導体膜(4)を得るため の第1の半導体膜と、n+アモルファスシリコン半導体膜(5)を得るための第2の半導



# [0017]

さらに、ソース電極(6)およびドレイン電極(7)を成膜・パターニングする。そし て、ソース電極(6)およびドレイン電極(7)のパターンを用いて前記第2の半導体膜 を分離エッチングし、n+アモルファスシリコン半導体膜(5)を形成する。以上により 、電界効果型薄膜トランジスタが完成する。

# [0018]

ここで、上記プラズマCVD装置の成膜室について、図2を参照しながら説明する。こ の成膜室(50)内には、多数のガス供給孔(51)を有するアルミニウム製の陽極(5 2) が配置されている。この陽極(52) の表面は、図3に拡大して模式的に示すように 、従来のような陽極酸化保護膜処理が施されていなくて、非多孔質層としてのアルミニウ ム層(70)が無垢の状態で露呈してなっている。

# [0019]

つまり、従来の場合には、図4に模式的に示すように、アルミニウム層(70)の表面 に、陽極酸化保護膜処理によりアルマイトからなる陽極酸化保護膜(61)が形成されて おり、この陽極酸化保護膜(61)が多孔質であるために、その細孔内にフッ素が吸着さ れやすく、これが、クリーニング後の成膜室内に多くのフッ素を残留させる原因となる。 これに対し、本実施形態では、陽極(52)の表面をアルミニウム層(70)からなるも のとすることで、つまり、アルミニウム層(70)の表面に従来のような陽極酸化保護膜 (61)を形成しないことで、上記の根本原因を無くするようにしている。

# [0020]

因みに、陽極(52)の表面が陽極酸化保護膜(61)からなる従来のCVD装置を用 い、成膜室内のクリーニングを行った後、高周波電源の出力が1000W,ガスの流量が 3 s l mという条件で 6 0 秒間に亘って水素プラズマ処理を実施したところ、ゲート絶縁 膜 (3) 中の含有フッ素濃度は、 $3 \times 10^{20}$  a toms/cm<sup>3</sup> であった。これに対し、 本実施形態では、同じ条件の下で、7×10<sup>18</sup>~1×10<sup>19</sup> a t o m s / c m³ の値が定 常的に得られた。

# [0021]

### - 実験例-

ここで、先ず、トランジスタのゲート絶縁膜中の含有フッ素濃度〔単位: a t o m s / c m³ ] と、閾値 (Vth [単位:V]) およびオン電流 (Ion [単位:nA]) との各初 期特性を調べるために行った実験について説明する。尚、含有フッ素濃度については、シ リコンウエハー上のゲート絶縁膜と同じ条件でアモルファスシリコン窒化膜を成膜し、こ のアモルファスシリコン窒化膜の含有フッ素濃度を2次イオン質量分析法(SIMS)に より測定して定量した。また、トランジスタとしては、チャネル幅Wとチャネル長Lとの 比W/Lが、W/L=4のものを用いた。

# [0022]

図 5 の特性図は、ゲート絶縁膜中の含有フッ素濃度とトランジスタの閾値電圧との間の 初期特性を、また、図6の特性図は、ゲート絶縁膜中の含有フッ素濃度とトランジスタの オン電流特性との間の初期特性をそれぞれ示す。

### [0023]

図示のとおり、含有フッ素濃度が $1 \times 10^{20}$  a toms/cm $^3$  以下、さらに望ましく は $1 \times 10^{19}$  a toms/cm³ 以下であれば、トランジスタ初期特性が良好であること が判る。

# [0024]

次に、ゲート絶縁膜中の含有フッ素濃度と、トランジスタの長期駆動に対する信頼性と の関係を調べるために行った実験について説明する。

### [0025]

従来の場合(特許文献2参照)には、25.0±3.0℃の環境において、ソース接地

,ドレイン接地,ゲート直流電圧が30V,駆動時間が10分間の条件の下に信頼性の評価を実施しているが、例えば、電界効果型薄膜トランジスタを液晶表示装置に応用する場合には、さらに長時間かつ高温での動作保証が要求されることから、ここでは、 $80\pm3$ . 0  $\mathbb C$  の環境において、ソース接地,ドレイン接地,ゲート直流電圧が15V,駆動時間が500 時間の条件の下で信頼性の評価を行った。

## [0026]

信頼性の判断指標としては、トランジスタの初期の閾値電圧から、信頼性評価試験後の閾値電圧を減算した値であるシフト量  $\Delta$  V th [単位:V] を評価するようにした。その結果、含有フッ素濃度が2.  $7 \times 10^{20}$  a t o m s / c m³ のものでは、シフト量  $\Delta$  V thが、  $\Delta$  V th= 5. 0 V であり、1. 0 × 10  $\Delta$  a t o m s / c m³ のものでは、シフト量  $\Delta$  V thが、  $\Delta$  V th= 3. 0 V であった。これらのことから、含有フッ素濃度を低減することにより信頼性が向上することも確認できた。

# 【図面の簡単な説明】

# [0027]

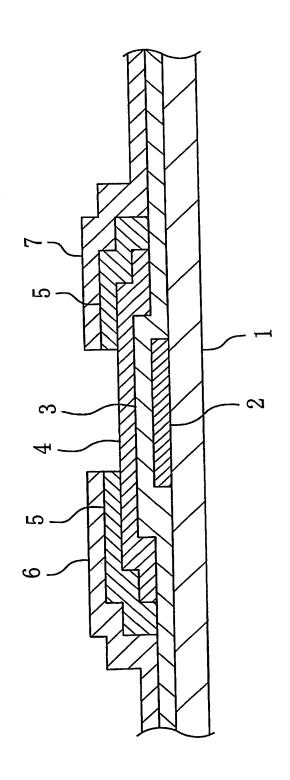
- 【図1】本発明の実施形態に係る電界効果型薄膜トランジスタの全体構成を模式的に示す断面図である。
- 【図2】ゲート絶縁膜の成膜に用いたCVD装置の全体構成を示す模式図である。
- 【図3】CVD装置の成膜室内の陽極表面の構成を模式的に示す断面図である。
- 【図4】従来のCVD装置の成膜室内の陽極表面の構成を模式的に示す図3相当図である。
- 【図5】ゲート絶縁膜中の含有フッ素濃度とトランジスタの閾値電圧との間の関係を示す特性図である。
- 【図6】ゲート絶縁膜中の含有フッ素濃度とトランジスタのオン電流特性との間の関係を示す特性図である。

# 【符号の説明】

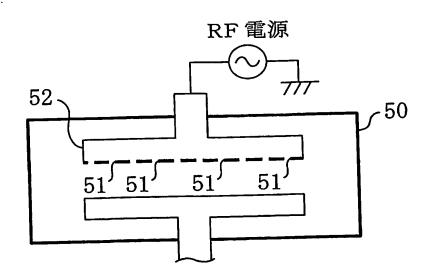
### [0028]

- (2) ゲート電極
- (3) ゲート絶縁膜
- (4) アモルファスシリコン半導体膜(半導体膜)
- (5) n+アモルファスシリコン半導体膜(半導体膜)
- (6) ソース電極
- (7) ドレイン電極
- (50) 成膜室
- (51) ガス供給孔
- (52) 陽極(電極)
- (70) アルミニウム層(非多孔質層)

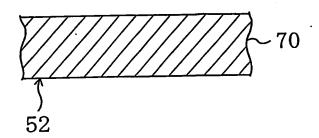
【曹類名】図面 【図1】



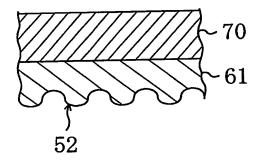
【図2】



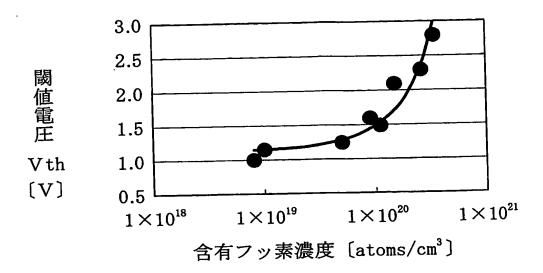
【図3】



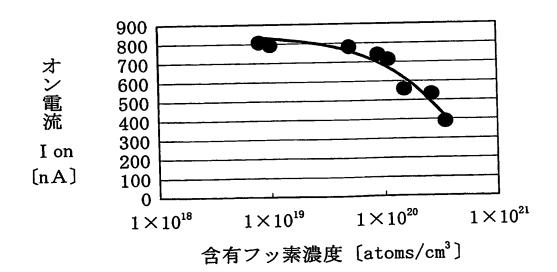
# 【図4】



【図5】



【図6】



# 【書類名】要約書

# 【要約】

【課題】CVD装置を用いてゲート電極が成膜されるトランジスタを、液晶表示装置の画 素電極に対するスイッチング素子として使用するに際し、成膜室内のクリーニングガス中 のフッ素成分によるゲート絶縁膜 (3) 中の含有フッ素濃度の上限値を適正化するととも に、フッ素濃度の低減を容易に実現できるようにする。

【解決手段】成膜室の電極表面を非多孔質化することにより、クリーニングガス中のフッ 素成分の成膜室内への残留自体を抑える。そして、ゲート絶縁膜 (3) 中の含有フッ素濃 度を、1×10<sup>20</sup> a t o m s / c m³以下、さらに望ましくは1×10<sup>19</sup> a t o m s / c m<sup>3</sup> 以下に抑えるようにする。

【選択図】図1

特願2003-404895

出願人履歴情報

識別番号

[000005049]

1. 変更年月日 [変更理由] 住 所 1990年 8月29日

理由] 新規登録

大阪府大阪市阿倍野区長池町22番22号

氏名 シャープ株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018051

International filing date: 03 December 2004 (03.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP

Number: 2003-404895

Filing date: 03 December 2003 (03.12.2003)

Date of receipt at the International Bureau: 03 February 2005 (03.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in

compliance with Rule 17.1(a) or (b)



# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

# **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

# IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.